



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08064725 A

(43) Date of publication of application: 08.03.96

(51) Int. Cl.

H01L 23/28

B42D 15/10

H01L 21/304

H01L 21/56

H01L 21/301

H01L 21/321

(21) Application number: 06215239

(22) Date of filing: 18.08.94

(71) Applicant: SONY CORP

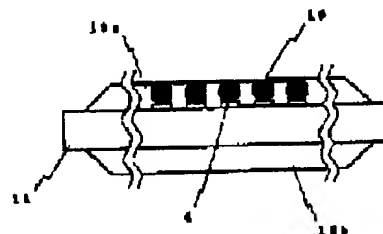
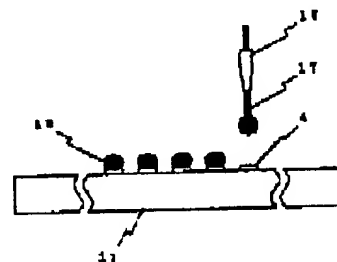
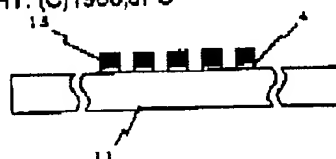
(72) Inventor:
KIHIRA TORU
FUKAZAWA HIROYUKI
KOJIMA AKIRA

(54) RESIN-SEALED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To realize a semiconductor package of a chip size and achieve the thickness reduction of the package and the high integration of a semiconductor chip by a method wherein bumps or Au balls are formed on the electrodes of a semiconductor chip and the bumps or the Au balls are exposed from the surface of molding resin.

CONSTITUTION: A semiconductor wafer 11 is composed of a plurality of chips. A respective circuit pattern is formed in each chip and electrode pads 4 with which the semiconductor chip is connected electrically to an external circuit are provided around each chip. Bumps 15 or Au balls 16 are formed on the electrode pads 4. Then the bumps 15 or the Au balls 16 are exposed from the surface 19a of molding resin. With this constitution, various inconveniences which are shown by various types of prior art semiconductors can be solved, a semiconductor package of a chip size can be realized and, further, the thickness reduction of the package and the high integration of the chip can be achieved.



【特許請求の範囲】

【請求項1】 半導体チップの電極上にバンパまたはAuボールを形成し、該バンパまたはAuボールをモールド樹脂の表面に露出させたことを特徴とする樹脂封止型半導体装置。

【請求項2】 請求項1の樹脂封止型半導体装置の製造方法であり、

半導体ウェハのそれぞれの半導体チップの電極上にバンパまたはAuボールを形成し、その後前記半導体ウェハの表面および/または裏面にモールドすることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項3】 請求項2の製造方法により得られたモールド済みの半導体ウェハにおいて、モールド樹脂の表面にバンパまたはAuボールが露出していない、もしくは充分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記バンパまたはAuボールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

【請求項4】 請求項2または請求項3の製造方法により得られたモールド済みの半導体ウェハにおいて、アイシングを施して、単体に分割することを特徴とする樹脂封止型半導体装置の製造方法。

【請求項5】 請求項1の樹脂封止型半導体装置の製造方法であり、個々に分割された半導体チップの電極上にバンパまたはAuボールを形成し、その後前記半導体チップの表面および/または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記バンパまたはAuボールを露出させることを特徴とする樹脂封止型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、電子回路が集積、形成された半導体チップ（以下、ICチップという）をトランスファーマールド法により樹脂で封止した樹脂封止型半導体装置とその製造方法に関する。具体的にいえば、この発明は、薄型パッケージやBGAに係り、特に、ICカードやメモ리카ード用パッケージ等に最適な樹脂封止型半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、樹脂封止型半導体装置のパッケージは軽薄短小化の傾向にある。その中でも、特に薄型半導体パッケージは、今後、メモ리카ードの高容量化のために、需要の増加が見込まれている。このような現在のパッケージとメモ리카ードの傾向を図で説明する。

【0003】図17は、薄型半導体パッケージの厚さと、JEIDAの規格のICメモ리카ードの厚さとの関係を示す図である。

【0004】この図17に示すように、現在のICメモ리카ードの厚さは、JEIDAの規格により、3.3mm

となっている。その一方で、現在の薄型半導体パッケージは、1.0mm厚のものが主流であり、上述の厚さ3.3mmのメモ리카ードの場合には、両面実装をすることが可能である（図17の左上の欄）。

【0005】これを現在開発中の厚さ0.5mmの半導体パッケージに置き換えると、4段実装まで可能となり、メモリー容量的にも、厚さ1.0mmのパッケージの場合に比較して、2倍に拡大することができる（図17の右上の欄）。また、メモ리카ードの場合には、上述の高容量化のほか、カード自体を薄型化する傾向にある。

【0006】例えば、次の段階のカードの規格として、JEIDAによって厚さ2.2mmのカードが定められている（図17の下の方）。この厚さのメモ리카ードの場合、厚さ1.0mmの半導体パッケージは、片面実装しかできないが（図17の左下の欄）、厚さ0.5mm以下のパッケージになると、2段以上の多段実装が可能となる（図17の右下の欄）。

【0007】さらに、薄型化メモ리카ードは、ISO規格の厚さ0.76mm（クレジットカードと同じ厚さ）のスマートカードとして応用することも考えられる。スマートカードの側面を、次の図に示す。

【0008】図18は、超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【0009】この図18に示すように、スマートカードの厚さが0.76mmになると、現在の厚さ1.0mmのパッケージでは、もはや搭載不可能となる。そのため、厚さ0.5mm以下の半導体装置（半導体パッケージ）が必要となる。

【0010】このような要求に応じて、厚さ0.76mmのスマートカードと同等のサイズのメモ리카ードに実装するために、COB（チップ・オン・ボード）方式やテープキャリア方式なども提案されている。その実装形態を、次の図19と図20で説明する。

【0011】図19は、COB方式のICパッケージについて、その実装形態の一例を示す側面図である。図において、51は半導体チップ、52は基板、53は接着剤、54はAu線、55は電極パッド、56は基板パッドを示す。

【0012】この図19に示すように、COB方式では、半導体チップ51を直接基板52の上に搭載し、チップ51上の電極パッド55から基板52のメッキ上などにワイヤボンディングを行う方法が採用されている。

【0013】図20は、テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19と同様であり、57はテープ、58はバンパを示す。

【0014】テープキャリア方式では、この図20に示すように、半導体チップ51の電極パッド55をテープ

57にパンプ58で接続して、基板52等に実装する方法が用いられている。しかしながら、これらの図19や図20に示した従来方式でも、次のような問題点がある。例えば、図19のCOB方式においては、モジュールの不良率が高い。

【0015】また、図20のテープキャリア方式においては、コストが極めて高価な上、実装の自動化が困難である、という問題点がある。さらに、以上に述べたリードを有する半導体装置を実装する方式や、COB方式、テープキャリア方式などでは、チップの周囲に配置されたリードや、基板上のメッキ部分にワイヤボンディングを行ったり、テープで電極パッドに接続しなければならないので、基本的に電極パッドをチップの周辺部に配置する必要がある。

【0016】そのため、チップ内の配線を無理に引き回さなければならず、結果的に、半導体デバイスの高集積化やチップサイズの縮小化への大きな妨げとなっている。また、従来から、以上のような問題点を解決するために、ワイヤやテープを有しないフリップチップ方式なども実施されている。

【0017】図21は、フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。図における符号は図19および図20と同様である。

【0018】このフリップチップ方式は、図21に示すように、半導体チップ51の電極パッド55上にパンプ58を予め形成し、このパンプ58で直接基板52に接着固定する方式である。このような方式を用いれば、実装面積やチップサイズの縮小化が可能となり、カードの高容量化を実現することができる。

【0019】しかしながら、従来のCOB方式、テープキャリア方式あるいはフリップチップ方式などのように、樹脂封止型半導体装置以外の方式では、半導体チップがモールド樹脂で覆われていない構造が多いため、チップ表面が外力によってダメージを受けることも多い。さらに、これらの方式においては、半導体チップの表面の保護のためにポッティング樹脂を滴下して封止を行う場合もあるが、トランスファーモールドによる樹脂封止の方式と比較して、樹脂の厚さの制御が困難である。

【0020】その上、封止工程では、ほとんど加圧しないで行うため、封止する樹脂そのものがボラースであり、その分だけ水分などを透過しやすく、耐湿性等、半導体装置の信頼性の面で劣る、などの問題がある。以上のように、従来の各種方式の半導体装置には、いずれも一長一短があり、現在求められているチップサイズで、かつ、パッケージの薄型化とチップの高集積化とが可能なる半導体装置は、存在していない、という問題があった。

【0021】

【発明が解決しようとする課題】この発明では、従来の

各種方式の半導体装置がもっている多くの不都合を解決し、チップサイズの半導体パッケージを提供すると共に、パッケージの薄型化とチップの高集積化とを可能にした樹脂封止型半導体装置およびその製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】この発明は、第1に、半導体チップの電極上にパンプまたはAuボールを形成し、該パンプまたはAuボールをモールド樹脂の表面に露出させた構成の樹脂封止型半導体装置としている。

【0023】第2に、上記第1の樹脂封止型半導体装置の製造方法であり、半導体ウェハのそれぞれの半導体チップの電極上にパンプまたはAuボールを形成し、その後前記半導体ウェハの表面および/または裏面にモールドする樹脂封止型半導体装置の製造方法である。

【0024】第3に、上記第2の製造方法により得られたモールド済みの半導体ウェハにおいて、モールド樹脂の表面にパンプまたはAuボールが露出していない、もしくは充分な露出面積が得られないとき、必要に応じてモールド樹脂表面を研削して、前記パンプまたはAuボールを露出させる製造方法である。

【0025】第4に、上記第2または第3の製造方法により得られたモールド済みの半導体ウェハにおいて、ダイシングを施して、単体に分割することを特徴とする製造方法である。

【0026】第5に、上記第1の樹脂封止型半導体装置の製造方法であり、個々に分割された半導体チップの電極上にパンプまたはAuボールを形成し、その後前記半導体チップの表面および/または裏面にモールド樹脂を形成し、必要に応じて樹脂表面を研削して、前記パンプまたはAuボールを露出させる製造方法である。

【0027】

【作用】この発明では、電極パッドの上にパンプまたは金(Au)ボールを形成した半導体チップの表面および/または裏面を、モールド樹脂で封止し、モールド樹脂の表面または裏面を露出させれば、外部との電気的接続が可能になる、という点に着目して、チップサイズの半導体パッケージを実現すると共に、パッケージの薄型化、チップの高集積化を可能にしている。

【0028】具体的にいえば、この発明の樹脂封止型半導体装置では、メモリカードなどの実装基板回路中の半導体素子を改良して、モールド樹脂保護における電気特性の保証や品質信頼性等を維持すると共に、フリップチップ素子等と同等の面実装密度を達成し、高集積の実装を可能にしている(請求項1の発明)。また、このような樹脂封止型半導体装置を製造するための製造方法について提案する(請求項2から請求項5の発明)。

【0029】

【実施例1】次に、この発明の樹脂封止型半導体装置お

よびその製造方法について、図面を参照しながら、その

実施例を詳細に説明する。この実施例は、請求項 1 から請求項 5 の発明に対応している。

【0030】すでに述べたように、この発明の半導体装置 (IC) は、半導体チップの電極上にパンプまたは Au ボールを形成し、電極をモールド樹脂の片側の表面に露出させた超薄型の構成である。この実施例では、半導体装置の両面をモールド樹脂で封止した場合である。まず、この発明の半導体装置について、斜視図でその構成を説明する。

【0031】図 1 は、この発明の半導体装置について、一実施例を示す斜視図である。図において、1 はこの発明の半導体装置 (IC)、2 は半導体チップ、3 はモールド樹脂で、3 a は表側のモールド樹脂、3 b は裏側のモールド樹脂、20 は外部電極 (メッキ層) を示す。

【0032】この図 1 に示すように、この発明の半導体装置 1 は、中央の半導体ウェハ 2 の両面がモールド樹脂 3 で覆われており、外部電極 (メッキ層) 20 が、その片面の表側のモールド樹脂 3 a から露出されている。このように構成することにより、パッケージの薄型化が可能となり、同時にメモリカードなどの高容量化も実現される。

【0033】また、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積を小さくすることができる。しかも、回路構成上も極めて強固であるから、信頼性の高い高密度実装が可能になる。次に、図 1 に示したこの発明の半導体装置 1 の製造工程を、図 2 から図 11 を用いて説明する。

【0034】図 2 は、この発明の半導体装置 1 を得るための半導体ウェハの一例を示す斜視図である。図において、11 は半導体ウェハ、12 はオリフラを示す。

【0035】図 3 は、図 2 に示した半導体ウェハ 11 の中に形成されている 1 素子を示す概略図である。図において、4 は電極パッド、13 はチップ、14 はスクライブラインを示す。

【0036】この図 3 に示すように、半導体ウェハ 11 は複数のチップ 13 から構成されている。各チップ 13 は、その後、通常はウェハ状態で裏面研削を施した後、ダイシングの工程において個々に分割される。各チップ 13 には、それぞれ回路パターンが形成され、また、主としてチップ 13 の周囲部に、外部との電気的な接続を行うための電極パッド 4 が形成されている。

【0037】図 4 は、図 2 に示した半導体ウェハ 11 について、電極パッド 4 が形成されたチップ 13 周囲部の要部断面図である。図における符号は図 2 および図 3 と同様である。

【0038】図 5 は、図 4 に示した半導体ウェハ 11 において、その電極パッド 4 の上にパンプを形成した状態を示す要部断面図である。図における符号は図 2 および図 3 と同様であり、15 はパンプを示す。

【0039】図 4 に示した半導体ウェハ 11 の電極パ

ッド 4 の上に、従来から行われている方法によって、パンプ 15 を形成する。このような処理によって、図 5 に示したように、電極パッド 4 の上にパンプ 15 が形成される。

【0040】図 6 は、通常のワイヤボンディング方式によって、電極パッド 4 上に Au ボールを形成した状態を示す要部断面図である。図における符号は図 2 および図 3 と同様であり、16 は Au ボール、17 は Au 線、18 はキャピタリを示す。

【0041】また、パンプ 15 の代りに、図 6 に示すように、電極パッド 4 の上に Au ボール 16 を形成してもよい。以上の工程によって、半導体ウェハ 11 の電極パッド 4 上に、パンプ 15 または Au ボール 16 を形成した後、樹脂封止を行う。

【0042】図 7 は、半導体ウェハ 11 の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。図における符号は図 6 と同様であり、21 A はその上金型、21 B は下金型、22 A は上キャビティ、22 B は下キャビティ、23 A は上ランナー、23 B は下ランナー、24 A は上ゲート、24 B は下ゲートを示す。

【0043】先の図 6 で説明した工程が終了したチップ 13 は、この図 7 に示すように、モールド金型 21 に入れられて、樹脂封止される。すなわち、半導体ウェハ 11 を上金型 21 A と下金型 21 B とで上下から挟み込み、半導体ウェハ 11 の表側と裏側をモールド樹脂 3 で成形する。

【0044】この場合に、半導体ウェハ 11 の両面の樹脂 3 は、薄く広い範囲にモールドする必要がある。ここで、モールド樹脂 3 の硬化温度や粘度特性、さらにモールド金型 21 の成形温度、射出圧力、射出時間、予熱時間などのモールド条件を最適化して行う。その後、従来のウェハの裏面研削と同様の工程で、表側および裏側のモールド樹脂 3 a、3 b の薄膜を研削し、後述の図 10 に示すように、パンプ 15 または Au ボール 16 をモールド樹脂 3 a の表面に露出させる。

【0045】このとき、パンプ 15 または Au ボール 16 の露出面積がほぼ均一になるように、予めパンプ 15 の面積もしくは Au ボール 16 の大きさを調整しておく。なお、先の図 7 に示した実施例では、パンプ 15 もしくは Au ボール 16 はモールド樹脂 3 a に完全に覆われており、外部との接続を行うために、モールド樹脂 3 a の研削の工程が必要となる。

【0046】図 8 は、図 6 の半導体ウェハ 11 をモールド金型 21 に挟み込み、Au ボール 16 が上金型 21 A に接した状態を示す概略断面図である。図における符号は図 6 および図 7 と同様である。

【0047】この図 8 に示すように、予めパンプ 15 もしくは Au ボール 16 を高めに形成しておき、モールド金型 21 で挟み込んだときに、上型 21 A の内面にこれ

6のパンプ15もしくはAuボール16の先端が当たるようにしておく。この方法によれば、成形後に、すでにパンプ15もしくはAuボール16の一部がモールド樹脂表面上に露出されているので、図7のような研削の工程を省くことができる。

【0048】図9は、半導体ウェハ11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。図における符号は図2と同様であり、19はモールド樹脂で、19aは表側モールド樹脂、19bは裏側モールド樹脂を示す。

【0049】図10は、モールド成形済みの半導体ウェハ11のモールド樹脂19を研削し、表面にAuボール16を露出させた状態を示す概略断面図である。

【0050】図11は、表側モールド樹脂19aの表面に露出させたAuボール16の上にメッキを施した後の状態を示す断面図である。図において、20はメッキ層を示す。

【0051】図7や図8で説明したように、半導体ウェハ11をモールド金型21を使用してモールド成形を行うと、図9に示すように、両面がモールド樹脂19a、19bで用われた半導体ウェハ11が得られる。このようにして得られた半導体ウェハ11に、図10に示すように、両面のモールド樹脂19を研削して、表側モールド樹脂19aの表面にAuボール16を露出させる。

【0052】その後、図11に示すように、露出したパンプ15もしくはAuボール16の上に半田メッキ等の処理を行って、メッキ層20を形成する。以上の図2から図11のような処理工程が行われ、モールド済みウェハ11にダイシングを施して個々の単体にすれば、図1に示したような基板実装が可能な形態の半導体装置(1C)1が得られる。

【0053】この第1実施例で説明した半導体装置(半導体パッケージ)では、半導体のチップ13の表面がモールド樹脂3a、3bに覆われているので、チップ表面がダメージを受けることがなく、また耐湿性も確保することが可能である。その上、リードを有しないチップと同サイズの樹脂封止型半導体パッケージが得られるので、実装面積も小さくすることができる。

【0054】

【実施例2】この実施例も、請求項1から請求項5の発明に対応している。先の第1の実施例では、半導体装置1の両面をモールド樹脂3a、3bで封止した場合を説明したが、この第2の実施例では、半導体装置1の片面だけをモールド樹脂で封止する点に特徴を有している。最初に、この第2の実施例の半導体装置を斜視図で説明する。

【0055】図12は、この発明の半導体装置の第2の実施例を示す斜視図である。図における符号は図1と同様であり、31はこの発明の半導体装置を示す。

【0056】この図12に示す半導体装置31は、その上面(表側)のみにモールド樹脂3aが形成されている点を除けば、先の第1の実施例で説明した図1の半導体装置1と基本的に同様の構成である。次に、図12に示す半導体装置31の製造工程を、図13と図14を用いて説明する。

【0057】図13は、この発明の第2の実施例において、半導体ウェハ11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。図における符号は図6と同様であり、32はモールド成形用金型、32Aはそのキャビティ、32Bはランナー、32Cはゲート、33は下金型を示す。

【0058】この第2の実施例でも、図2から図6までの工程は共通しており、半導体ウェハ11の電極パッド4上にAuボール16を形成した状態で、その上面にモールド成形を行う。このモールド成形工程では、図13に示すように、半導体ウェハ11の表側のみにモールド樹脂3aを成形する。

【0059】このように半導体ウェハ11の片側だけにモールド樹脂3aの薄膜を形成させると、熱線膨張率の違いから、ウェハ11に反りが生じることがある。そこで、この場合には、モールド樹脂3aの熱線膨張係数が、半導体ウェハ11のそれに近い値の材料を選択するのが好ましい。

【0060】図14は、図13でモールド成形された半導体ウェハ11を上下研削し、露出したAuボール16の上にメッキを施した状態を示す断面図である。図における符号は図11および図13と同様である。

【0061】このような工程が終了した後、モールド樹脂3aの表面、また必要に応じて半導体ウェハ11の裏面を、先の第1の実施例で述べたのと同様な方法で研削する。さらに、露出したAuボール16(もしくはパンプ15)の上に半田メッキ等の処理を行って、メッキ層20を形成する。

【0062】なお、半導体ウェハ11の裏面を研削する理由は、原理的には半導体ウェハ11の表層数十μmのアクティブ層を残していれば、デバイスとしては正常に機能し得るが、全体の厚さが100μm程度までの半導体装置31を得るためには、その裏面も研削すれば、超線型パッケージを実現することが可能になるからである。その後、図13と図14の工程を行った半導体ウェハ11を個々の単体に分割すれば、先の図12に示したような半導体装置31が得られる。

【0063】

【実施例3】第1と第2の実施例では、両面をモールド樹脂3a、3bで封止した半導体装置1や、片面をモールド樹脂3aで封止した半導体装置31を製造する場合に、図2に示したような半導体ウェハ11を使用する場合を述べた。この第3の実施例では、半導体ウェハ11を予め個々のチップ単体に分割しておき、その後

に、第1の実施例で述べたのと同様な方法で、電極パッド4の上にバンプ15もしくはAuボール16を形成する点に特徴を有している。

【0064】したがって、得られる半導体装置1, 31は、先の第1や第2の実施例と同様である。この第3の実施例について、図15と図16を用いて説明する。

【0065】図15は、半導体ウェハ11から個々に分割されたチップ単体を示す斜視図である。図における符号は図3と同様であり、41はチップ単体を示す。

【0066】図16は、この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。図における符号は図13および図15と同様である。

【0067】基本的な処理工程は、先に述べた第1や第2の実施例と同様であり、図2に示したような半導体ウェハ11を、予め図15に示すようなチップ単体41に分割する。この図15に示した状態で、第1の実施例で述べたのと同様な方法によって、電極パッド4の上にAuボール16（もしくはバンプ15）を形成し、図16に示すように、各チップ41ごとに用意されたモールド成形用金型32内のキャビティ32Aにチップ単体41を配置する。

【0068】そして、チップ単体41の表側（またはその裏側にも）にモールド樹脂3の薄膜を成形する。その後、モールド樹脂3a（もしくはチップ単体41の裏面）を研削し、所要の半導体装置1, 31を製造する。これらの工程は、第1や第2の実施例で述べたのと同様である。

【0069】

【発明の効果】請求項1の樹脂封止型半導体装置によれば、パッケージの厚さを、従来の各種方式に比べて薄くすることができる。したがって、第1に、メモ리카ードなどへの多段実装、LSI規格のカードへの実装が可能となる。

【0070】第2に、パッケージサイズをチップと同サイズとすることができるので、実装面積を小さくすることができ、高密度実装が可能になる。第3に、リードへのワイヤボンディングが不要となるので、電極パッドの配置が比較的自由にできる。

【0071】その結果、回路の無駄な引き回しをする必要がなくなり、半導体チップのより一層の高集積化も実現される。第4に、半導体チップがモールド樹脂で保護されるので、チップ面へのダメージが低減し、また耐湿性も向上する。

【0072】第5に、リードフレームを有しないので、ダイボンディングやリード加工などの工程が不要となり、また、リード曲がりやコプラナリティーといったリードフレームに起因する不良も解消される。

【0073】請求項2から請求項5の製造方法によれ

ば、以上のように優れた樹脂封止型半導体装置が得られると共に、歩留りも向上されるので、結果的に低コストの製造が可能になる。

【図面の簡単な説明】

【図1】この発明の半導体装置について、一実施例を示す斜視図である。

【図2】この発明の半導体装置1を得るための半導体ウェハ11の一例を示す斜視図である。

【図3】図2に示した半導体ウェハ11の中に形成されている1素子を示す概略図である。

【図4】図2に示した半導体ウェハ11について、電極パッド4が形成されたチップ13周囲部の要部断面図である。

【図5】図4に示した半導体ウェハ11において、その電極パッド4の上にバンプを形成した状態を示す要部断面図である。

【図6】通常のワイヤボンディング方式によって、電極パッド4上にAuボールを形成した状態を示す要部断面図である。

【図7】半導体ウェハ11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図8】図6の半導体ウェハ11をモールド金型21に挟み込み、Auボール16が上金型21Aに接した状態を示す概略断面図である。

【図9】半導体ウェハ11を図7または図8に示したモールド金型21で成形した後の状態を示す概略斜視図である。

【図10】モールド成形済みの半導体ウェハ11のモールド樹脂19を研削し、表面にAuボール16を露出させた状態を示す概略断面図である。

【図11】表側モールド樹脂19aの表面に露出させたAuボール16の上にメッキを施した後の状態を示す断面図である。

【図12】この発明の半導体装置の第2の実施例を示す斜視図である。

【図13】この発明の第2の実施例において、半導体ウェハ11の樹脂封止工程を説明する図で、モールド金型に挟み込んだ状態を示す概略断面図である。

【図14】図13でモールド成形された半導体ウェハ11を上下研削し、露出したAuボール16の上にメッキを施した状態を示す断面図である。

【図15】半導体ウェハ11から個々に分割されたチップ単体を示す斜視図である。

【図16】この発明の第3の実施例において、半導体チップ単体41の樹脂封止工程を説明する図で、モールド成形用金型に挟み込んだ状態を示す概略断面図である。

【図17】薄型半導体パッケージの厚さと、JEIDAの規格のICメモ리카ードの厚さとの関係を示す図である。

11

12

【図18】超薄型ICパッケージについて、ISO規格のスマートカードへのモジュールの応用例を示す側面図である。

【図19】COB方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図20】テープキャリア方式のICパッケージについて、その実装形態の一例を示す側面図である。

【図21】フリップチップ方式のICパッケージについて、その実装形態の一例を示す側面図である。

【符号の説明】

- 1 この発明の半導体装置
- 2 半導体チップ
- 3 モールド樹脂

4 電極パッド

11 半導体ウェハー

12 オリフラ

13 チップ

15 バンプ

16 Auボール

17 Au線

18 キャピタリ

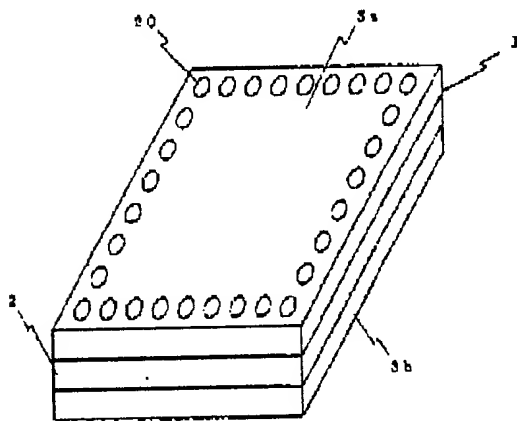
19 モールド樹脂

10 20 メッキ層

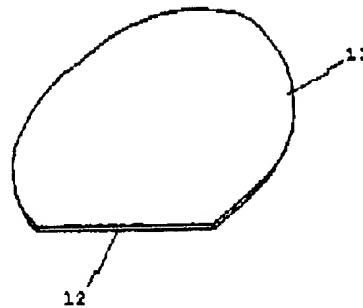
31 この発明の半導体装置

41 チップ単体

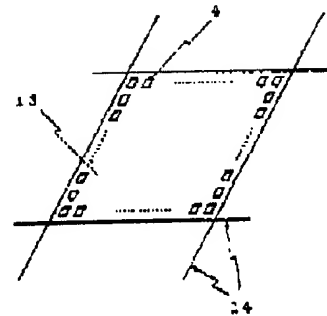
【図1】



【図2】

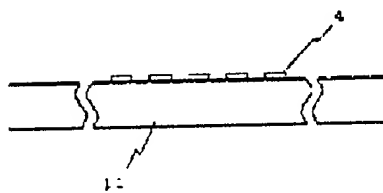


【図3】

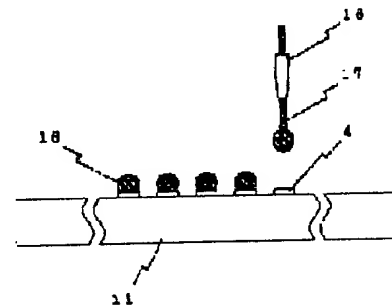
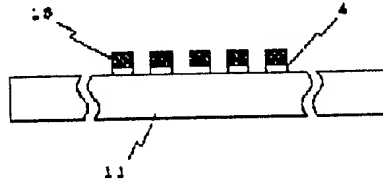


【図6】

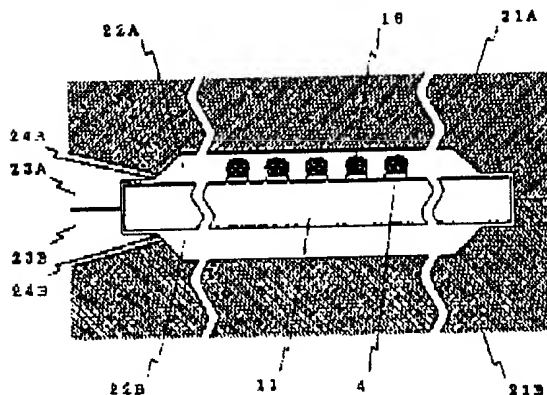
【図4】



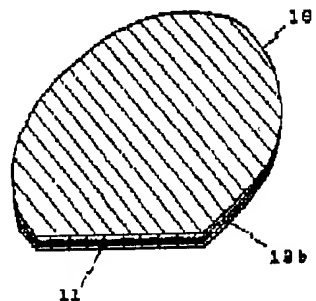
【図5】



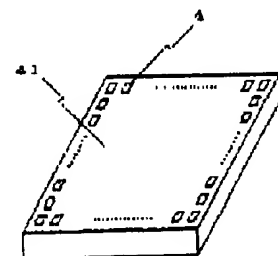
【図7】



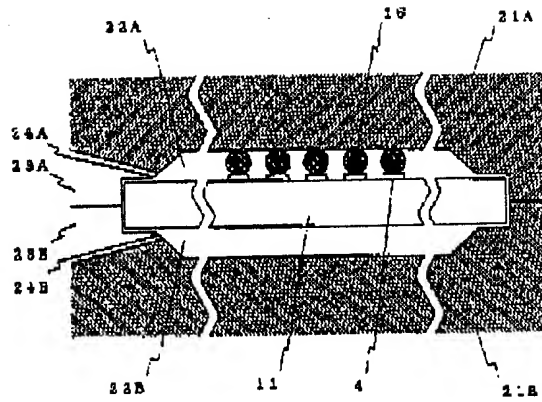
【図9】



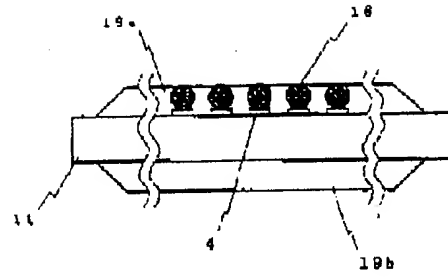
【図15】



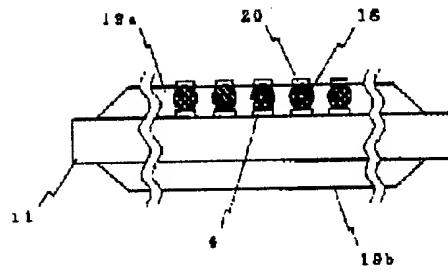
【圖8】



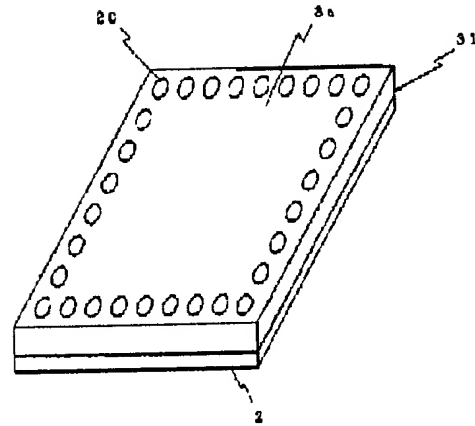
【圖10】



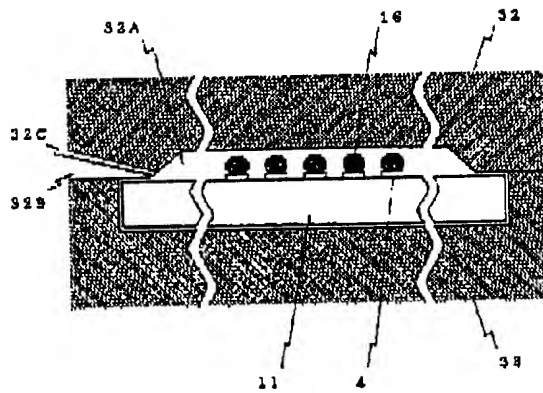
【圖11】



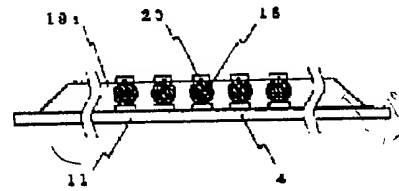
【圖12】



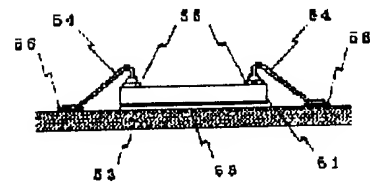
【圖13】



【圖14】



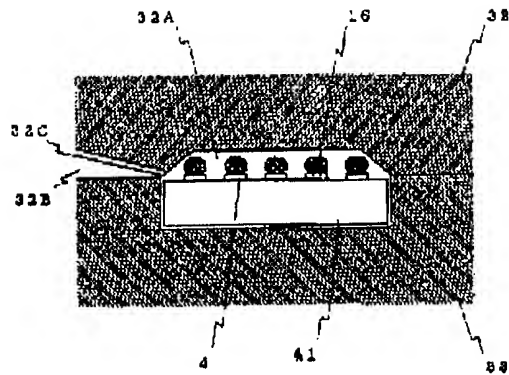
【圖19】



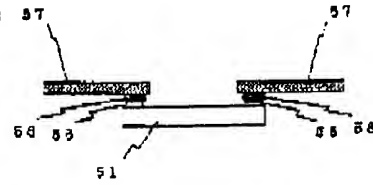
【圖18】



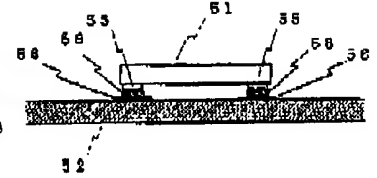
【図16】



【図20】



【図21】



【図17】

PKG厚	1.0mm	0.8mm
メモリアヘッド厚	吸着TSP搭載	
JEIDA規格 3.3mm	 (両面実装)	 (4面実装)
JEIDA規格 2.2mm	 (片面実装)	 (両面実装)

フロントページの続き

(51) Int. Cl.⁴

H01L 21/56

識別記号 序内整理番号

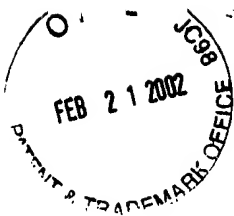
T
R

F1

技術表示箇所

21/301

21/321



RECEIVED

English Translation of Japanese Laid-Open Patent Application

NO.8-64725

FEB 21 2002
IC 2800 MAIL ROOM

(54)[Title of the Invention]

Resin sealing type semiconductor device and
manufacturing method thereof

(57)[Abstract]

[Purpose]

To provide a thin resin sealing type semiconductor device
optimal to IC card or memory card package by a semiconductor
device in which a semiconductor chip having an electronic
circuit integrated and formed thereon.

[Constitution] A bump or Au ball is formed on an electrode
of a semiconductor chip, and the bump or Au ball is exposed on
a surface of a molding resin.

[Effect]

The thickness of package can be reduced as compared with
conventional various schemes, thus making it possible to ensure
multi-stage packaging to a memory card or the like or packaging
to a card that conforms to an ISO standard. In addition, the
package size can be identical to the chip size. Thus, there
is provided an effect that a packaging area can be reduced, and
packaging with high density is made possible.

[what is claimed is]

[Claim 1]

A resin sealing type semiconductor device characterized
in that a bump or Au ball is formed on an electrode of a
semiconductor chip, and the bump or Au ball is exposed on a

surface of a molding resin.

[Claim 2]

The method of manufacturing the resin sealing type semiconductor device of claim 1, characterized in that a bump or Au ball is formed on an electrode of a respective one of the semiconductor chips on a semiconductor wafer, and then, molding is applied onto the top face and/or back face of the semiconductor wafer.

[Claim 3]

In the molded semiconductor wafer obtained by the manufacturing method of claim 2, a method of manufacturing the resin sealing type semiconductor device, characterized in that, when a bump or Au ball is not exposed on the surface of the molding resin, or alternatively, when a sufficient exposure area is not obtained, a molding resin surface is ground as required, and the bump or Au ball is exposed thereto.

[Claim 4]

In the molded semiconductor wafer obtained by the manufacturing method of claim 2 or claim 3, a method of manufacturing the resin sealing type semiconductor device, characterized in that a wafer is divided into single sections by applying dicing.

[Claim 5]

A method of manufacturing the resin sealing type semiconductor device of claim 1, characterized in that a bump or Au ball is formed on an electrode of individually divided chips, a molding resin is then formed on the top face and/or

back face of the semiconductor chip, a resin surface is ground as required, and the bump or Au ball is exposed.

[Detailed Description of the Invention]

[0001]

[Technical Field to Which the Invention Pertains]

The present invention relates to a resin sealing type semiconductor device in which a semiconductor chip (hereinafter, referred to as an "IC chip") having an electronic circuit integrated and formed thereon is sealed with a resin by using a transfer mold technique; and a manufacturing method thereof. More specifically, the present invention relates to a thin package or BGA. In particular, the present invention relates to a resin sealing type semiconductor device optimal to IC card or memory card package and a manufacturing method thereof.

[0002]

[Prior Art]

In recent years, there has been a tendency that packages of a resin sealing type semiconductor device are reduced in weight, thin in film, and short in length. Among them, in a thin semiconductor package, an increased demand is expected because of higher capacity of the memory card. Such tendency of the current package and memory card will be described with reference to the accompanying drawings.

[0003]

Fig. 17 is a view showing a relationship between thickness of the thin semiconductor package and that of IC memory card that conforms to JEIDA standard.

[0004]

As shown in Fig. 17, the thickness of the current IC memory card is 3.3 mm in accordance with the JEIDA standard. On the other hand, the current thin semiconductor package is mainly 1.0 mm in thickness. In the case of the above described memory card with 3.3 mm in thickness, double sided packaging is made possible (see upper left column of Fig. 17).

[0005]

When this package is replaced with a semiconductor package of 0.5 mm in thickness which is currently under development, up to four-stage packaging is possible. The memory capacity can be doubled as well as compared with a case of a package of 1.0 mm in thickness (see upper right column of Fig. 17). In addition, in the case of the memory card, there is a tendency for the above mentioned higher capacity and thinner card itself.

[0006]

For example, as the card standard for the next stage, a card of 2.2 mm in thickness is defined in accordance with the JEIDA standard (see lower column of Fig. 17). In the case of the memory card with this thickness, a semiconductor package of 1.0 mm in thickness can be only packaged in a single sided manner (see lower left column of Fig. 17). However, a package of 0.5 mm or less in thickness can be packaged at multi-stages, the number of which is two or more (see lower right column of Fig. 17).

[0007]

Further, the thin memory card is deemed to be applied as a smart card of 0.76 mm in thickness (which is equal to that of credit card) which conforms to the ISO standard. A side face of such smart card is shown in the following figure.

[0008]

Fig. 18 is a side view showing an exemplary application of a module to a smart card that conforms to the ISO standard.

[0009]

As shown in Fig. 18, when the thickness of the smart card is 0.76 mm, such card cannot be packaged on the current package of 1.0 mm in thickness any longer. Thus, a semiconductor device (semiconductor package) of 0.5 mm or less in thickness is required.

[0010]

In response to such request, a COB (chip on board) scheme or tape carrier scheme and the like is proposed in order to ensure packaging to a memory card of its size equal to the size of smart card of 0.76 mm in thickness. The packaging mode will be described by referring to Figs. 19 and 20.

[0011]

Fig. 19 is a side view showing an example of the packaging mode relevant to an IC package in the COB scheme. In the figure, reference numeral 51 denotes a semiconductor chip, reference numeral 52 denotes a substrate, reference numeral 53 denotes an adhesive, reference numeral 54 denotes an Au wire, reference numeral 55 denotes an electrode pad, and reference numeral 56 denotes a substrate pad.

[0012]

As shown in Fig. 19, in the COB scheme, there is employed a method in which the semiconductor chip 51 is directly packaged on the substrate 52, and wire bonding is performed onto galvanizing of the substrate 52 through the electrode pad 55 on the chip 51.

[0013]

Fig. 20 is a side view showing an example of the packaging mode relevant to an IC package in a tape carrier scheme. In the figure, like reference numerals in Fig. 19 denotes like elements, where reference numeral 57 denotes a tape, and reference numeral 58 denotes a bump.

[0014]

In the tape carrier scheme, as shown in Fig. 20, there is employed a method in which the electrode pad 55 of the semiconductor chip 51 is attached to the tape 57 via the bump 58, and the attached chip is packaged on the substrate 52 or the like. However, even these conventional schemes shown in Figs. 19 and 20 still have the following problems. For example, in the COB scheme of Fig. 19, a failure rate of s module is high.

[0015]

In addition, in the tape carrier scheme of Fig. 20, there is a problem that manufacture cost is extremely high, and moreover, automated packaging is difficult. Further, in the scheme for mounting a semiconductor device that has a lead described above or COB scheme and the tape carrier scheme, leads disposed around the chip must be provided. Alternatively, wire

bonding is applied to a galvanizing portion on the substrate, and the chip must be attached to the electrode pad by means of a tape. This makes it necessary to basically dispose the electrode pad at the peripheral portion of the chip.

[0016]

Thus, chip internal wiring must be forcibly routed. As a result, highly integrated semiconductor device and reduction of chip size have been significantly prevented. In addition, in order to solve the above described problem, a flip chip scheme free of wires or tapes or the like is implemented conventionally.

[0017]

Fig. 21 is a side view showing an example of the packaging mode relevant to an IC package in the flip chip scheme. In the figure, like reference numerals shown in Figs. 19 and 20 denote like elements.

[0018]

In this flip chip scheme, as shown in Fig. 21, the bump 58 is formed in advance on the electrode pad 55 of the semiconductor chip 51, and the chip is directly bonded to the substrate 52 by this bump 58. Using such scheme makes it possible to reduce a packaging area or chip size and to achieve high capacity of the card.

[0019]

However, as in the conventional COB scheme, tape carrier scheme, or flip chip scheme and the like, in a scheme other than that of a resin sealing type semiconductor device, there are

many structures in which the semiconductor chip is not covered with a molding resin. Thus, the chip surface is often damaged by an external force. Further, in these schemes, there is a case in which a bonding resin is dripped for the purpose of protection of the semiconductor chip surface, and sealing is performed. However, it is difficult to control the thickness of a resin as compared with a scheme of resin sealing by transfer molding.

[0020]

Moreover, in the sealing process, almost no pressurization is applied. Thus, a resin itself to be sealed is porous. Accordingly, there is a problem that the resin easily permeates water or the like, and is inferior on the aspects of reliability of the semiconductor device such as humidity resistance. As has been described above, there has been a problem that the conventional semiconductor devices of various types are advantageous in one aspect and disadvantageous in the other aspect, and there does not exist a semiconductor device which can provide a thin package and a highly integrated chip.

[0021]

[Problems to Be Solved by the Invention]

The present invention has been made to solve many inconveniences which the conventional semiconductor devices of various types have. It is an purpose of the present invention to provide a semiconductor package of chip size. It is another purpose of the present invention to provide a resin sealing type

semiconductor device which can provide a thin package and a highly integrated chip; and a manufacturing method thereof.

[0022]

[Means for Solving the Problems]

According to a first aspect of the present invention, there is provided a resin sealing type semiconductor device characterized in that a bump or Au ball is formed on an electrode of a semiconductor chip, and the bump or Au ball is exposed on a surface of a molding resin.

[0023]

According to a second aspect of the present invention, there is provided a method of manufacturing the resin sealing type semiconductor device, characterized in that a bump or Au ball is formed on an electrode of a respective one of the semiconductor chips on a semiconductor wafer, and then, molding is applied onto the top face and/or back face of the semiconductor wafer.

[0024]

According to a third aspect of the present invention, there is provided in a molded semiconductor wafer obtained by the manufacturing method, a method of manufacturing the resin sealing type semiconductor, characterized in that, when a bump or Au ball is not exposed on the surface of the molding resin, or alternatively, when a sufficient exposure area is not obtained, a molding resin surface is ground as required, and the bump or Au ball is exposed.

[0025]

According to a fourth aspect of the present invention, there is provided in a molded semiconductor wafer obtained by the manufacturing method of the second or fourth aspect, a method of manufacturing the resin sealing type semiconductor, characterized in that a wafer is divided into single sections is effected by applying dicing.

[0026]

According to a fifth aspect of the present invention, there is provided in a method of manufacturing the resin sealing type semiconductor device, a method of manufacturing the resin sealing type semiconductor, characterized in that a bump or Au ball is formed on an electrode of individually divided chips, a molding resin is then formed on the top face and/or back face of the semiconductor chip, a resin surface is ground as required, and the bump or Au ball is exposed.

[0027]

[Effects]

According to the present invention, a semiconductor package of chip size can be provided, and a thin package and highly integrated chip can be provided by focusing on the fact that the top face and/or back face of the semiconductor chip having a bump or (Au) ball formed on an electrode pad are(is) sealed with a molding resin, and the top face or back face of the molding resin is exposed, thereby enabling electrical connection with an external device.

[0028]

Specifically, in the resin sealing type semiconductor

device of the present invention, semiconductor elements in a packaged substrate circuit such as a memory card is improved, whereby electrical characteristics in molding resin protection is guaranteed or quality and reliability or the like are maintained. In addition, a degree of surface package density equal to that of the flip chip element or the like is achieved, enabling highly integrated packaging (the invention of claim 1). In addition, a manufacturing method for manufacturing such resin sealing type semiconductor device is proposed (the invention of claims 2 to 5).

[0029]

[First Embodiment]

Now, embodiments of a resin sealing type semiconductor device according to the present invention and a manufacturing method thereof will be described in detail with reference to the accompanying drawing. This embodiment corresponds to the invention of claims 1 to 5.

[0030]

As has been already described, a semiconductor device (IC) according to the present invention provides a ultra-thin arrangement in which a bump or Au ball is formed on an electrode of a semiconductor chip, and the electrode is exposed on the surface at one side of the molding resin. In this embodiment, both faces of the semiconductor device are sealed with a molding resin. First, an arrangement of a semiconductor device according to the present invention will be described by way of a perspective view.

[0031]

Fig. 1 is a perspective view showing one embodiment of the semiconductor device according to the present invention. In the figure, reference numeral 1 denotes a semiconductor device (IC) according to the present invention; reference numeral 2 denotes a semiconductor chip; reference numeral 3 denotes a molding resin; reference numeral 3a denotes a top side molding resin; reference numeral 3b denotes a back side molding resin; and reference numeral 20 denotes an external electrode (galvanizing layer).

[0032]

As shown in Fig. 1, the semiconductor device 1 of the present invention is covered with the molding resin 3 on both faces of the central semiconductor wafer 2, and an external electrode (galvanizing layer) 20 is exposed from the molding resin 3a at the top side of its single face. With such arrangement, a thin package can be provided, and at the same time, a memory card with its high capacity can be provided.

[0033]

In addition, a resin sealing type semiconductor package of its size identical to a lead free chip can be provided, and thus, the packaging area can be reduced. Moreover, the circuit construction is very rigid, thus making it possible to achieve high-density packaging with its high reliability. Now, a manufacturing process of the semiconductor device 1 according to the present invention shown in Fig. 1 will be described with reference to Figs. 2 to 11.

[0034]

Fig. 2 is a perspective view showing an example of a semiconductor wafer for providing the semiconductor device 1 of the present invention. In the figure, reference numeral 11 denotes a semiconductor wafer; and reference numeral 12 denotes an orientation flat.

[0035]

Fig. 3 is a general view showing one element formed in the semiconductor wafer 11 shown in Fig. 2. In the figure, reference numeral 4 denotes an electrode pad; reference numeral 13 denotes a chip; and reference numeral 14 denotes a scribing line.

[0036]

As shown in Fig. 3, the semiconductor wafer 11 is composed of a plurality of chips 13. In general, each of these chips 13 is then subjected to back face grinding in a wafer state, and then, is individually divided in a dicing process. Circuit patterns are formed respectively on such each chip 13, and the electrode pad 4 for making external connection to the external device is formed mainly at the periphery of the chips 13.

[0037]

Fig. 4 is a sectional view showing essential parts of the periphery of the chips 13 on which the electrode pad 4 is formed relevant to the semiconductor wafer 11 shown in Fig. 2. In the figure, like reference numerals shown in Figs. 2 and 3 denote like elements.

[0038]

Fig. 5 is a sectional view of essential parts showing a state in which a bump is formed on the electrode pad 4 in the semiconductor wafer 11 shown in Fig. 4. In the figure, like reference numerals shown in Figs. 2 and 3 denote like elements, where reference numeral 15 denotes a bump.

[0039]

The bump 15 is formed on the electrode pad 4 of the semiconductor wafer 11 shown in Fig. 4 by using the conventional method. By such processing, as shown in Fig. 5, the bump 15 is formed on the electrode pad 4.

[0040]

Fig. 6 is a sectional view of essential parts showing a state in which an Au ball is formed on the electrode pad 4 in accordance with a general wire bonding scheme. In the figure, like reference numerals shown in Figs. 2 and 3 denote like elements, wherein reference numeral 16 denotes an Au ball, reference numeral 17 denotes an Au wire, and reference numeral 18 denotes a capillary.

[0041]

Instead of the bump 15, as shown in Fig. 6, the Au ball 16 may be formed on the electrode pad 4. In accordance with the above process, the bump 15 or Au ball 16 is formed on the electrode pad 4 of the semiconductor wafer 11, and then, resin sealing is performed.

[0042]

Fig. 7 is a view illustrating the resin sealing process of the semiconductor wafer 11 and is a general sectional view

showing a state in which the wafer is sandwiched between molding dies. In the figure, like reference numerals shown in Fig. 6 denote like elements, where reference numeral 21 denotes a molding die; reference numeral 21A denotes an upper die thereof; reference numeral 21B denotes a lower die thereof; reference numeral 22A denotes an upper cavity; reference numeral 22B denotes a lower cavity; reference numeral 23A denotes an upper runner; reference numeral 23B denotes a lower runner; reference numeral 24A denotes an upper gate; and reference numeral 24B denotes a lower gate.

[0043]

The chip 13 obtained after the end of the process described previously in Fig. 6 is put into the molding die 21, and is sealed with a resin, as shown in Fig. 7. That is, the semiconductor wafer 11 is vertically sandwiched between the upper die 21A and the lower die 21B, and the top side and back side of the semiconductor wafer 11 are molded with the molding resin 3.

[0044]

In this case, the resin 3 on both faces of the semiconductor wafer 11 is required to be molded within the thin and wide range. This molding is performed by optimizing molding conditions such as a molding temperature, an ejection pressure, a preheating time of the molding die 21. Then, in a process similar to the conventional wafer back face grinding, the thin films of the molding resins 3a and 3b of the top end back sides are ground. Further, as shown in Fig. 10 which is described

later, the bump 15 or Au ball 16 are exposed on the surface of the molding resin 3a.

[0045]

At this time, an area of the bump 15 or the size of the Au ball 16 are adjusted so that the exposed area of the bump 15 or Au ball 16 is substantially made uniform. In the previous embodiment shown in Fig. 7, the bump 15 or Au ball 16 are completely covered with the molding resin 3a. Thus, the grinding process of the molding resin 3a is required to make external connection.

[0046]

Fig. 8 is a general sectional view showing a state in which the semiconductor wafer 11 of Fig. 6 is sandwiched between the molding dies 21, and the Au ball 16 is in contact with the upper die 21A. In the figure, like reference numerals shown in Figs. 6 and 7 denote like elements.

[0047]

As shown in Fig. 8, when the bump 15 or Au ball 16 are formed at a high level, and is sandwiched between the molding dies 21, the tip end of either of these bump 15 and Au ball 16 is abutted against the inner face of the upper die 21A. According to this method, part of the bump 15 or Au ball 16 is exposed on the molding resin surface after molding, and thus, the grinding process as shown in Fig. 7 can be eliminated.

[0048]

Fig. 9 is a general perspective view showing a state after the semiconductor wafer 11 has been molded by the molding die

21 as shown in Figs. 7 or 8. In the figure, like reference numerals shown in Fig. 2 denote like elements, where reference numeral 19 denotes a molding resin, reference numeral 19a denotes a top side molding resin, and reference numeral 19b denotes a back side molding resin.

[0049]

Fig. 10 is a general sectional view showing a state in which the molding resin 19 of the molded semiconductor wafer 11 is ground, and the Au ball 16 is exposed on the surface.

[0050]

Fig. 11 is a sectional view showing a state after galvanizing is applied onto the Au ball 16 exposed to the surface of the top side molding resin 19a. In the figure, reference numeral 20 denotes a galvanizing layer.

[0051]

As described in Fig. 7 or Fig. 8, when the semiconductor wafer 11 is molded by using the molding die 21, the semiconductor wafer 11, both faces of which are employed with the molding resins 19a and 19b, is obtained as shown in Fig. 9. The molding resin 19 of both faces is ground on the thus obtained semiconductor wafer 11, as shown in Fig. 10, and the Au ball 16 is exposed on the surface of the top side molding resin 19a.

[0052]

Then, as shown in Fig. 11, processing for solder galvanizing or the like is performed on the exposed bump 155 or Au ball 16, and the galvanizing layer 20 is formed. After the procesings as described Figs 2 to 11 are conducted, dicing

is applied to the molded wafer, and the wafer is divided into single sections, whereby the semiconductor device (IC) 1 of such type capable of substrate packaging as shown in Fig. 1 is obtained.

[0053]

In the semiconductor device (semiconductor package) described according to the first embodiment, the surface of the semiconductor chip 13 is covered with the molding resins 3a and 3b. Thus, the chip surface is not damaged, making it possible to ensure humidity resistance. Moreover, a resin sealing type semiconductor package of size equal to a lead free chip is obtained, thus making it possible to reduce a packaging area.

[0054]

[Embodiment 2]

The present embodiment correspond to the invention of claims 1 to 5. The first embodiment has described a case in which both faces of the semiconductor device 1 are sealed with the molding resins 3a and 3b. The second embodiment is characterized in that only one face of the semiconductor device 1 is sealed with the molding resin. First, the semiconductor device of the second embodiment will be described by referring to the perspective view.

[0055]

Fig. 12 is a perspective view showing the second embodiment of the semiconductor device according to the present invention. In the figure, like numerals shown in Fig. 1 designate like elements, where reference numeral 31 denotes a

semiconductor device of the present invention.

[0056]

The semiconductor device 31 shown in Fig. 12 is basically identical to the semiconductor device 1 of Fig. 1 in that the molding resin 3a is formed only on the upper face (tip side) thereof. Now, the manufacturing process of the semiconductor device 31 shown in Fig. 12 will be described with reference to Figs. 13 and 14.

[0057]

Fig. 13 is a view illustrating the resin sealing process of the semiconductor wafer 11 in the second embodiment and a general sectional view showing a state in which a wafer is sandwiched between the molding dies. In the figure, like reference numerals shown in Fig. 6 denotes like elements, where reference numeral 32 denotes an upper die for molding; reference numeral 32A denotes a cavity thereof; reference numeral 32B denotes a runner; reference numeral 32C denotes a gate; and reference numeral 33 denotes a lower die.

[0058]

In the second embodiment as well, the steps shown in Figs. 2 to 6 are common to each other where, while the Au ball 16 is formed on the electrode pad 4 of the semiconductor wafer 11, molding is performed on an upper face thereof. In this molding process, as shown in Fig. 3, the molding resin 3a is formed only at the top side of the semiconductor wafer 11.

[0059]

If the thin film of the molding resin 3a is thus formed

only at one side of the semiconductor wafer 11, a warp may occur with the wafer 11 because of a difference in heat expansion coefficient. In this case, it is preferable to select a material of which the heat expansion coefficient of the molding resin 3a is close to that of the semiconductor wafer 11.

[0060]

Fig. 14 is a sectional view showing a state in which the molded semiconductor wafer 11 is vertically ground, and galvanizing is applied onto the vertically ground Au ball 16. In the figure, like reference numbers shown in Figs. 11 and 13 denote like elements.

[0061]

After such process has terminated, the top face of the molding resin 3a or the back face of the semiconductor wafer 11 as required is ground in a method similar to that described in the first embodiment. Further, processing such as solder galvanizing is performed on the exposed Au ball 16 (or bump 15), and the galvanizing layer 20 is formed.

[0062]

A reason for grinding the back face of the semiconductor 11 is stated below. In principle, as long as an active layer of some tens of micrometers is left in the top layer of the semiconductor wafer 11, a device can function normally. However, in order to provide a semiconductor device 21 of about 200 microns in entire thickness, it is possible to provide a ultra-thin package by grinding its back face. Then, the semiconductor wafer 11 undergoing the steps of Figs. 13 and 14

is divided into individual sections, whereby the semiconductor device 31 as shown in Fig. 12 is provided.

[0063]

[Third Embodiment]

The first and second embodiments have described a case of using the semiconductor wafer 11 as shown in Fig. 2 in the case of manufacturing the semiconductor device 1, both faces of which are sealed with the molding resins 3a and 3b or the semiconductor device 31, one face of which is sealed with the molding resin 3a. The third embodiment is characterized in that the semiconductor wafer 11 is divided in advance into individual sections, and then, the bump 15 or Au ball 16 is formed on the electrode pad in a method similar to that described in the first embodiment.

[0064]

Therefore, the obtained semiconductor devices 1 and 31 are similar to those of the first and second embodiments. The third embodiment will be described with reference to Figs. 15 and 16.

[0065]

Fig. 15 is a perspective view showing a chip section individually divided from the semiconductor wafer 11. In the figure, like reference numerals shown in Fig. 3 denote like elements, where reference numeral 41 denotes a chip section.

[0066]

Fig. 16 is a view illustrating the resin sealing process of a semiconductor chip section 41 in the third embodiment of

the present invention, and is a general sectional view showing a state in which a wafer is sandwiched between the molding dies. In the figure, like reference numerals shown in Figs. 13 and 15 denote like elements.

[0067]

The basic processing steps are similar to those according to the first and second embodiments described previously. The semiconductor wafer 11 as shown in Fig. 2 is divided into the chip sections 41 as shown in Fig. 15. In this state shown in Fig. 15, the Au ball 16 (or bump 15) is formed on the electrode pad 4 in a method similar to that described in the first embodiment. As shown in Fig. 6, the chip section 41 is disposed at the cavity 32A in the molding upper die 32 provided for such each chip 41.

[0068]

Then, the thin film of the molding resin 3 is molded at the top side (or at the back side as well) of the chip section 41. Thereafter, the molding resin 3a (or the back face of the chip section 41) is ground, and the required semiconductor devices 1 and 31 are manufactured. These steps are similar to those described in the first and second embodiments.

[0069]

[Advantageous Effect of the Invention]

According to the resin sealing type semiconductor device of claim 1, firstly, the thickness of package can be reduced as compared with that of the conventional various types. This makes it possible to provide multi-stage packaging in the memory

card and packaging to the card that conforms to the ISO standard.

[0070]

Secondly, the package size can be identical to the chip size. Thus, the packaging area can be reduced, making it possible to ensure high-density packaging. Thirdly, wire bonding with a lead is eliminated, and thus, the electrode pad can be disposed comparatively freely.

[0071]

As a result, wasteful circuit wiring is eliminated, and a more highly integrated semiconductor chip is provided. Fourthly, the semiconductor chip is protected by a molding resin. Thus, damage to the chip face is reduced, and humidity resistance is improved.

[0072]

Fifthly, a lead frame is not provided, and the steps of die bonding or lead processing are eliminated. In addition, a fault caused by the lead frame such as lead bending or co-planarity is eliminated.

[0073]

According to the manufacturing method of claims 2 to 5, an excellent resin sealing type semiconductor device is provided as described above, and the yielding is improved, thus resulting in low cost manufacturing.

[Brief Description of the Drawings]

[Fig. 1]

Fig. 1 is a perspective view of one embodiment of a semiconductor device according to the present invention.

[Fig. 2]

Fig. 2 is a perspective view showing an example of a semiconductor wafer for providing the semiconductor device 1 of the present invention.

[Fig. 3]

Fig. 3 is a general view showing one element formed in the semiconductor wafer 11 shown in Fig. 2.

[Fig. 4]

Fig. 4 is a sectional view showing essential parts of the periphery of a chip 13 on which an electrode pad 4 is formed relevant to the semiconductor wafer 11 shown in Fig. 2

[Fig. 5]

Fig. 5 is a sectional view of essential parts showing a state in which a bump is formed on the electrode pad 4 in the semiconductor wafer 11 shown in Fig. 4.

[Fig. 6]

Fig. 6 is a sectional view of essential parts showing a state in which an Au ball is formed on the electrode pad 4 in accordance with a general wire bonding scheme.

[Fig. 7]

Fig. 7 is a view illustrating the resin sealing steps of the semiconductor wafer 11, and is a general sectional view showing a state in which the wafer is sandwiched in molding dies.

[Fig. 8]

Fig. 8 is a general sectional view showing a state in which the semiconductor wafer 11 of Fig. 6 is sandwiched between the molding dies 21, and the Au ball 16 is in contact with an upper

die 21A.

[Fig. 9]

Fig. 9 is a general perspective view showing a state after the semiconductor wafer 11 is molded by the molding dies 21 shown in Fig. 7 or Fig. 8.

[Fig. 10]

Fig. 10 is a general sectional view showing a state in which the molding resin 19 of the molded semiconductor wafer 11 is ground, and the Au ball 16 is exposed on the surface.

[Fig. 11]

Fig. 11 is a sectional view showing a state after galvanizing is applied onto the Au ball 16 exposed on the surface of the top side molding resin 19a.

[Fig. 12]

Fig. 12 is a perspective view showing a second embodiment of the semiconductor device according to the present invention.

[Fig. 13]

Fig. 13 is a view illustrating the resin sealing steps of the semiconductor wafer 11 in the second embodiment of the present invention, and is a general sectional view showing a state in which the wafer is sandwiched between the molding dies.

[Fig. 14]

Fig. 14 is a sectional view showing a state in which the semiconductor wafer 11 molded in Fig. 13 is vertically ground, and galvanizing is applied onto the exposed Au ball 16.

[Fig. 15]

Fig. 15 is a perspective view showing chip sections

individually divided from the semiconductor wafer 11.

[Fig. 16]

Fig. 16 is a view illustrating the resin sealing steps of the semiconductor chip section 41 in a third embodiment of the present invention, and is a general sectional view showing a state in which the wafer is sandwiched between the molding dies.

[Fig. 17]

Fig. 17 is a view showing a relationship between thickness of a thin semiconductor package and thickness of an IC memory card that conforms to the JEIDA standard.

[Fig. 18]

Fig. 18 is a side view showing an exemplary application of a module to a smart card that conforms to the ISO standard relevant to a ultra-thin IC package.

[Fig. 19]

Fig. 19 is a side view showing an example of the embodiment of an IC package that conforms to the COB scheme.

[Fig. 20]

Fig. 20 is a side view showing an example of the embodiment relevant to an IC package that conforms to the flip chip scheme.

[Fig. 21]

Fig. 21 is a side view showing an example of the embodiment relevant to an IC package that conforms to the tape carrier scheme.

[Reference Numerals]

1 Semiconductor device of the present invention

- 2 Semiconductor chip
- 3 Molding resin
- 4 Electrode pad
- 11 Semiconductor wafer
- 12 Orientation flat
- 13 Chip
- 15 Bump
- 16 Au ball
- 17 Au wire
- 18 Capillary
- 19 Molding resin
- 20 Galvanizing layer
- 31 Semiconductor device of the present invention
- 41 Chip section

図面の訳

図 17

現状 TSOP 搭載 TSOP mounted now

PKG 厚 the thickness of PKG

メモリカード厚 the thickness of memory card

JEIDA 規格 JEIDA 規格

両面実装 double sided packaging

片面実装 single sided manner packaging

4 段実装 4-layered packaging